

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-042827

(43)Date of publication of application : 16.02.2001

(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20

(21)Application number : 11-219782 (71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 03.08.1999 (72)Inventor : ISHIZUKA SHINICHI
TSUCHIDA MASAMI
SAKAMOTO TSUYOSHI
OCHI HIDEO

(54) DISPLAY DEVICE AND DRIVING CIRCUIT OF DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To make light emitting luminance on a display possible to be uniform at the time of constituting an anode line drive circuit of plural IC chips by controlling the amount of light emitting driving current to be outputted by a first anode line driven circuit based on the light emitting current outputted by a second anode line drive circuit.

SOLUTION: A current source (transistors Q1 to Qm) is provided in anode line drive circuits 21 and 22 to generate a light emitting driving current. Moreover, a driving current control circuit CC, which maintains the light emitting driving current at an amount of current corresponding to an inputted control current, is provided. Furthermore, a control current output circuit CO is provided to output a light emitting driving current itself as a control current. At the time of driving anode lines of a display panel by plural anode line drive circuits 21 and 22 constructed in individual IC chips, the first anode line driving circuit 21 controls the amount of light emitting driving current to be outputted based on the actually outputted light emitting drive current by a second anode line drive circuit 22.



LEGAL STATUS

[Date of request for examination] 19.09.2003

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-42827
(P2001-42827A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 3		6 2 3 A
	6 4 2		6 4 2 B
審査請求 未請求 請求項の数15 O L (全 13 頁)			

(21) 出願番号 特願平11-219782

(22) 出願日 平成11年8月3日 (1999.8.3)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号

バイオニア株式会社総合研究所内

(72) 発明者 土田 正美

埼玉県鶴ヶ島市富士見6丁目1番1号

バイオニア株式会社総合研究所内

(74) 代理人 100079119

弁理士 藤村 元彦

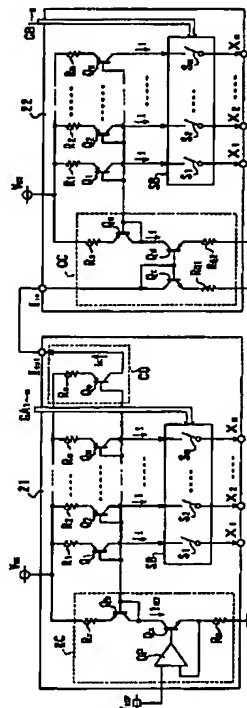
最終頁に続く

(54) 【発明の名称】 ディスプレイ装置及びディスプレイパネルの駆動回路

(57) 【要約】

【課題】 陽極線ドライブ回路を複数の I C チップで構築した際にもディスプレイパネル上での発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することを目的とする。

【解決手段】 各々が、ディスプレイパネルの発光素子を発光させる発光駆動電流を発生して、このディスプレイパネルの第1電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、これら駆動回路の内の少なくとも1には、他の駆動回路が発生した発光駆動電流に基づいて、この駆動回路が発生すべき発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられている。



【特許請求の範囲】

【請求項 1】 複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第 1 電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも 1 には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記 1 の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられていることを特徴とするディスプレイ装置。

【請求項 2】 複数の前記駆動回路の内の 1 には、該駆動回路が発生すべき前記発光駆動電流の電流量を所定の基準電流に維持させるべく制御する基準電流制御回路が設けられていることを特徴とする請求項 1 記載のディスプレイ装置。

【請求項 3】 前記発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項 1 記載のディスプレイ装置。

【請求項 4】 前記発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項 2 記載のディスプレイ装置。

【請求項 5】 前記第 2 電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第 2 電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項 1 記載のディスプレイ装置。

【請求項 6】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 記載のディスプレイ装置。

【請求項 7】 複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であって、前記発光素子を発光させる発光駆動電流を発生してこれを前記第 1 電極線各々の内の一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなることを特徴とする駆動回路。

【請求項 8】 複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、

前記駆動部は、各々が、前記発光素子を発光させる発光駆動電流を発生してこれを前記第 1 電極線各々の内の一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とを有する複数の駆動回路からなり、前記駆動回路各々の前記駆動電流制御回路は、他の前記駆動回路が出力した前記制御電流を前記入力制御電流とすることを特徴とするディスプレイ装置。

【請求項 9】 複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを駆動する駆動回路と、を備えたディスプレイ装置であって、

前記駆動回路は、前記発光素子を発光させる電流を発生してこれを第 1 発光駆動電流として前記第 1 電極線各々の内の第 1 電極群に供給する第 1 駆動回路と、前記発光素子を発光させる電流を発生してこれを第 2 発光駆動電流として前記第 1 電極線各々の内の第 2 電極群に供給する第 2 駆動回路とを有し、

前記第 2 駆動回路は、前記第 1 発光駆動電流に基づいて前記第 2 発光駆動電流の電流量を調整することを特徴とするディスプレイ装置。

【請求項 10】 前記第 1 駆動回路は、前記第 1 電極群に供給すべき前記第 1 発光駆動電流の各々を発生する複数の第 1 発光駆動電流源と、前記第 1 発光駆動電流を所定の基準電流に維持させるべく制御する基準電流制御回路と、前記第 1 発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路と、からなり、

前記第 2 駆動回路は、前記第 2 電極群に供給すべき前記第 2 発光駆動電流の各々を発生する複数の第 2 発光駆動電流源と、前記制御電流に基づいて前記第 2 発光駆動電流の電流量を調整する駆動電流制御回路と、からなることを特徴とする請求項 9 記載のディスプレイ装置。

【請求項 11】 前記第 1 発光駆動電流源の各々と、前記基準電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項 10 記載のディスプレイ装置。

【請求項 12】 前記第 2 発光駆動電流源の各々と、前記駆動電流制御回路とが電流ミラー回路を形成していることを特徴とする請求項 10 記載のディスプレイ装置。

【請求項 13】 前記第 2 電極線の各々に順次アース電位を印加して行くと共に前記アース電位の印加されていない他の前記第 2 電極線の全てに所定の高電位を印加する走査回路を備えたことを特徴とする請求項 9 記載のディスプレイ装置。

【請求項 14】 前記発光素子の各々は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 9 記載のディスプレイ装置。

10

20

30

40

50

3

【請求項 15】 前記第 1 駆動回路及び前記第 2 駆動回路の各々は、互いに異なる 2 つの IC チップ内に夫々構築されることを特徴とする請求項 9 記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、有機エレクトロルミネセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置、及びその駆動回路に関する。

【0002】

【従来の技術】薄型で低消費電力なディスプレイ装置を実現する為の自発光素子として、有機エレクトロルミネセンス(以下、ELと称する)素子が知られている。図 1 は、かかる EL 素子の概略構成を示す図である。図 1 に示されるように、EL 素子は、透明電極 101 が形成されたガラス板等からなる透明基板 100 上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも 1 層の有機機能層 102、及び金属電極 103 が積層されたものである。

【0003】図 2 は、かかる EL 素子の特性を電氣的に示す等価回路である。図 2 に示されるように、EL 素子は、容量成分 C と、該容量成分に並列に結合するダイオード特性の成分 E とによって置き換えることができる。ここで、透明電極 101 の陽極にプラス、金属電極 103 の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分 C に電荷が蓄積される。この際、EL 素子固有の障壁電圧または発光閾値電圧を越えると、電極(ダイオード成分 E の陽極側)から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層 102 が発光する。

【0004】図 3 は、複数の上記 EL 素子をマトリクス状に配列してなる EL ディスプレイパネルを用いて画像表示を行う EL ディスプレイ装置の概略構成を示す図である。図 3 において、EL ディスプレイパネルとしての ELDP10 には、第 1 表示ライン～第 n 表示ライン各々を担う陰極線(金属電極) $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列された m 個の陽極線(透明電極) $A_1 \sim A_m$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_m$ の交差部分の各々に、上述した如き構造を有する EL 素子 $E_{11} \sim E_{nm}$ が形成されている。尚、これら EL 素子 $E_{11} \sim E_{nm}$ 各々は、ELDP10 としての 1 画素を担うものである。

【0005】発光制御回路 1 は、入力された 1 画面分(n 行、m 列)の画像データを、ELDP10 の各画素、すなわち上記 EL 素子 $E_{11} \sim E_{nm}$ の各々に対応した画素データ群 $D_{11} \sim D_{nm}$ に変換し、これらを図 4 に示されるが如く、1 行分毎に順次、陽極線ドライブ回路 2 に供給して行く。例えば、画素データ $D_{11} \sim D_{1m}$ とは、ELDP10 の第 1 表示ラインに属する EL 素子 $E_{11} \sim E_{1m}$ 各

4

々に対して発光を実施させるか否かを指定する m 個のデータビットであり、夫々、論理レベル“1”である場合には“発光”、論理レベル“0”である場合には“非発光”を示す。

【0006】又、発光制御回路 1 は、図 4 に示されるが如き 1 行分毎の画素データの供給タイミングに同期して、ELDP10 の第 1 表示ライン～第 n 表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路 3 に供給する。陽極線ドライブ回路 2 は、先ず、上記画素データ群における m 個のデータビットの内から、“発光”を指定する論理レベル“1”のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した“列”に属する陽極線を陽極線 $A_1 \sim A_m$ の内から全て選択し、この選択した陽極線のみ定電流源を接続し、所定の画素駆動電流 i を供給する。

【0007】陰極線走査回路 3 は、上記陰極線 $B_1 \sim B_n$ の内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を択一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位 V_{CC} を夫々印加する。尚、かかる高電位 V_{CC} は、EL 素子が所望の輝度で発光しているときの両端電圧(寄生容量 C への充電量に基づいて決定する電圧)とほぼ同一値に設定される。

【0008】この際、上記陽極線ドライブ回路 2 によって上記定電流源が接続された“列”と、上記陰極線走査回路 3 にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び“列”に交叉して形成されている EL 素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路 3 によって高電位 V_{CC} に設定された表示ラインと、上記定電流源が接続された“列”との間には電流が流れ込まないので、かかる表示ライン及び“列”に交叉して形成されている EL 素子は非発光のままである。

【0009】以上の如き動作が、画素データ群 $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m}$ 、 \dots 、 $D_{n1} \sim D_{nm}$ 各々に基づいて実施されると、ELDP10 の画面上には、入力された画像データに応じた 1 フィールド分の発光パターン、つまり画像が表示されるのである。ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線 B の本数を増加すると共に、陽極線 A の本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線 A 及び陰極線 B 各々の本数の増加につれ、陽極線ドライブ回路 2 及び陰極線走査回路 3 各々の回路規模も増大するので、両者を IC 化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路 2 及び陰極線走査回路 3 各々を、夫々複数の IC チップで構築することが考えられた。

【0010】ところが、陽極線ドライブ回路 2 を複数の IC チップで構築すると、製造上のバラツキ等により、

各 IC チップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いにより ELDP10 の画面上には互いに輝度の異なる領域ができてしまうという問題があった。

【0011】

【発明が解決しようとする課題】本発明は、かかる問題を解決せんとして為されたものであり、陽極線ドライブ回路を複数の IC チップで構築した際にも、ディスプレイパネル上での発光輝度を均一にすることが出来るディスプレイ装置及びディスプレイパネルの駆動回路を提供することである。

【0012】

【課題を解決するための手段】本発明によるディスプレイ装置は、複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルと、前記ディスプレイパネルを発光駆動せしめる駆動部と、からなるディスプレイ装置であって、前記駆動部は、各々が前記発光素子を発光させる発光駆動電流を発生して前記第 1 電極線に供給する複数の発光駆動電流源を有する複数の駆動回路からなり、複数の前記駆動回路の内の少なくとも 1 には、他の前記駆動回路が発生した前記発光駆動電流に基づいて前記 1 の前記駆動回路が発生すべき前記発光駆動電流の電流量の調整を行う駆動電流制御回路が設けられている。

【0013】又、本発明によるディスプレイパネルの駆動回路は、複数の第 1 電極線と前記第 1 電極線各々に交叉して配列された複数の第 2 電極線との各交叉部に 1 画素を担う発光素子が形成されてなるディスプレイパネルを発光駆動せしめる駆動回路であって、前記発光素子を発光させる発光駆動電流を発生してこれを前記第 1 電極線各々の内の一部の電極群に供給する発光駆動電流源と、入力制御電流に基づいて前記発光駆動電流の電流量を調整する駆動電流制御回路と、前記発光駆動電流と同一電流量の制御電流を発生してこれを出力する制御電流出力回路とからなる。

【0014】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図 5 は、本発明による EL ディスプレイ装置の概略構成を示す図である。図 5 において、EL ディスプレイパネルとしての ELDP10' には、第 1 表示ライン～第 n 表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列された 2 m 個の陽極線（透明電極） $A_1 \sim A_{2m}$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_{2m}$ 各々の交叉部に、図 1 に示されるが如き構造を有する EL 素子 $E_{1,1} \sim E_{n,2m}$ が形成されている。尚、これら EL 素子 $E_{1,1} \sim E_{n,2m}$ 各々は、ELDP10' としての 1 画素を担うものである。

【0015】発光制御回路 1' は、図 6 に示されるように、上記 ELDP10' の第 1 表示ライン～第 n 表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路 30 に供給する。陰極線走査回路 30 は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記 ELDP10' の陰極線 $B_1 \sim B_n$ の内から択一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位 V_{CC} を夫々印加する。

【0016】又、発光制御回路 1' は、入力された 1 画面分 (n 行、2 m 列) の画像データを ELDP10' の各画素、すなわち上記 EL 素子 $E_{1,1} \sim E_{n,2m}$ 各々に対応した画素データ $D_{1,1} \sim D_{n,2m}$ に変換し、これを第 1 列～第 m 列に属するものと、第 m+1 列～第 2 m 列に属するものとに分割する。この際、上記第 1 列～第 m 列に属する画素データを 1 表示ライン毎にグループ化した画素データ $D_{1,1} \sim D_{1,m}$ 、 $D_{2,1} \sim D_{2,m}$ 、 $D_{3,1} \sim D_{3,m}$ 、 \dots 、及び $D_{n,1} \sim D_{n,m}$ 各々を、図 6 に示されるが如き第 1 駆動データ $G A_{1-m}$ として、順次、第 1 陽極線ドライブ回路 21 に供給する。これと同時に、発光制御回路 1' は、上記第 m+1 列～第 2 m 列に属する画素データを 1 表示ライン毎にグループ化した画素データ $D_{1,m+1} \sim D_{1,2m}$ 、 $D_{2,m+1} \sim D_{2,2m}$ 、 $D_{3,m+1} \sim D_{3,2m}$ 、 \dots 、及び $D_{n,m+1} \sim D_{n,2m}$ 各々を、図 6 に示されるが如き第 2 駆動データ $G B_{1-m}$ として、順次、第 2 陽極線ドライブ回路 22 に供給する。尚、これら第 1 駆動データ $G A_{1-m}$ 及び第 2 駆動データ $G B_{1-m}$ の各々は、図 6 に示されるように、上記走査線選択制御信号に同期して順次、第 1 陽極線ドライブ回路 21 及び第 2 陽極線ドライブ回路 22 の各々に供給される。この際、上記第 1 駆動データ群 $G A_{1-m}$ とは、ELDP10' の各表示ラインの第 1 列～第 m 列各々に属する m 個の EL 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。又、上記第 2 駆動データ群 $G B_{1-m}$ とは、ELDP10' の各表示ラインの第 m+1 列～第 2 m 列各々に属する m 個の EL 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。例えば、かかるデータビットが論理レベル "1" である場合には発光を実施させる一方、"0" である場合には発光を実施させない。

【0017】図 7 は、本発明による駆動回路としての上記第 1 陽極線ドライブ回路 21 及び第 2 陽極線ドライブ回路 22 各々の内部構成を示す図である。尚、上記第 1 陽極線ドライブ回路 21 及び第 2 陽極線ドライブ回路 22 の各々は、互いに異なる 2 つの IC チップ内に夫々構築される。図 7 において、第 1 陽極線ドライブ回路 21 は、基準電流制御回路 RC、制御電流出力回路 CO、スイッチブロック SB、並びに、m 個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。

【0018】基準電流制御回路 RC におけるトランジス

タ Q_b のエミッタには抵抗 R_0 を介して所定電圧 V_{BE} が接続されており、そのベース及びコレクタにはトランジスタ Q_a のコレクタが接続されている。演算増幅器OPには所定の基準電位 V_{REF} と、トランジスタ Q_a のエミッタ電位が入力されており、その出力電位は、トランジスタ Q_a のベースに入力される。トランジスタ Q_a のエミッタは、抵抗 R_p を介してアース電位に接地されている。以上の如き構成により、トランジスタ Q_a のコレクタ・エミッタ間には基準電流 $I_{REF}(=V_{REF}/R_p)$ が流れることになる。

【0019】トランジスタ $Q_1\sim Q_m$ 各々のエミッタには、抵抗 $R_1\sim R_m$ 各々を介して画素駆動電位 V_{BE} が印加されており、更に、夫々のベースには上記トランジスタ Q_b のベースが接続されている。この際、上記抵抗 R_r 、及び $R_1\sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1\sim Q_m$ 、 Q_a 及び Q_b の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路RCと、トランジスタ $Q_1\sim Q_m$ とは電流ミラー回路を構成することになり、トランジスタ $Q_1\sim Q_m$ 各々のエミッタ・コレクタ間には、上記基準電流 I_{REF} と同一の電流値を有する発光駆動電流 i が流れ、これが出力されることになる。

【0020】スイッチブロックSBには、上記トランジスタ $Q_1\sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1\sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1\sim S_m$ が設けられている。この際、第1陽極線ドライブ回路21のスイッチブロックSBでは、上記発光制御回路1'から供給された第1駆動データ $G_{A_1}\sim G_{A_m}$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1\sim S_m$ 各々が独立してオン/オフ制御される。例えば、第1駆動データ G_{A_1} が論理レベル"0"のときには、スイッチング素子 S_1 はオフ状態となる一方、かかる第1駆動データ G_{A_1} が論理レベル"1"のときには、オン状態となってトランジスタ Q_1 から供給された発光駆動電流 i を出力端 X_1 に導出する。又、第1駆動データ G_{A_m} が論理レベル"0"のときには、スイッチング素子 S_m はオフ状態となる一方、論理レベル"1"である場合にはオン状態となってトランジスタ Q_m から供給された発光駆動電流 i を出力端 X_m に導出する。このように、上記トランジスタ $Q_1\sim Q_m$ の各々から出力された発光駆動電流 i は、出力端 $X_1\sim X_m$ の各々を介して、図5に示されるが如く、ELDP10'の陽極線 $A_1\sim A_m$ の各々に供給される。

【0021】制御電流出力回路COにおけるトランジスタ Q_o のエミッタには抵抗 R_o を介して画素駆動電位 V_{BE} が印加されており、そのベースには上記基準電流制御回路RCにおけるトランジスタ Q_b のベースが接続されている。この際、上記抵抗 R_o の抵抗値は、基準電流制御回路RCにおける抵抗 R_r と同一であり、更に、トランジスタ Q_o は、基準電流制御回路RCにおけるトランジ

スタ Q_a 及び Q_b 各々と同一特性を有するものである。よって、制御電流出力回路COにおけるトランジスタ Q_o と、上記基準電流制御回路RCとは電流ミラー回路を形成することになり、上記トランジスタ Q_o のエミッタ・コレクタ間には、上記基準電流 I_{REF} と同一電流量の電流が流れる。制御電流出力回路COは、かかる電流を制御電流 i_c とし、これを出力端 I_{out} を介して第2陽極線ドライブ回路22の入力端 I_{in} に供給する。つまり、第1陽極線ドライブ回路21がELDP10'の陽極線 $A_1\sim A_m$ の各々に供給する発光駆動電流 i と同一の電流が、制御電流 i_c として第2陽極線ドライブ回路22に供給されるのである。

【0022】第2陽極線ドライブ回路22は、駆動電流制御回路CC、スイッチブロックSB、並びに、 m 個の電流駆動源としてのトランジスタ $Q_1\sim Q_m$ 及び抵抗 $R_1\sim R_m$ から構成される。駆動電流制御回路CCにおけるトランジスタ Q_c のコレクタ及びベースは、上記入力端 I_{in} に接続されており、そのエミッタは抵抗 R_{Q1} を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路21から出力された制御電流 i_c は、その入力端 I_{in} を介してトランジスタ Q_c のコレクタ・エミッタ間に流れる。又、駆動電流制御回路CCにおけるトランジスタ Q_e のエミッタには抵抗 R_s を介して画素駆動電位 V_{BE} が印加されており、そのベース及びコレクタにはトランジスタ Q_d のコレクタが接続されている。かかるトランジスタ Q_d のベースは上記トランジスタ Q_c のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗 R_{Q2} を介してアース電位に接地されている。この際、第1陽極線ドライブ回路21のトランジスタ Q_o と、上記トランジスタ Q_c 、 Q_d 、及び Q_e の各々は同一特性のトランジスタであり、更に、第1陽極線ドライブ回路21における抵抗 R_o と上記抵抗 R_s とは同一抵抗値である。よって、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流が上記トランジスタ Q_d のコレクタ・エミッタ間に流れる。

【0023】又、第2陽極線ドライブ回路22におけるトランジスタ $Q_1\sim Q_m$ 各々のエミッタには、抵抗 $R_1\sim R_m$ 各々を介して画素駆動電位 V_{BE} が印加されており、更に、夫々のベースには上記トランジスタ Q_e のベースが接続されている。この際、上記抵抗 R_s 、及び $R_1\sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1\sim Q_m$ 、 Q_d 及び Q_e の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路CCと、トランジスタ $Q_1\sim Q_m$ とは電流ミラー回路を構成することになり、トランジスタ $Q_1\sim Q_m$ 各々のエミッタ・コレクタ間には、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流量を有する発光駆動電流 i が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路CCにより、第2陽極線ドライブ回路22のトランジスタ $Q_1\sim Q_m$ 各々から出力される発光駆動

電流 i は、第 1 陽極線ドライブ回路 21 が出力した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロック SB には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1 \sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第 2 陽極線ドライブ回路 22 のスイッチブロック SB では、上記発光制御回路 1' から供給された第 2 駆動データ $GB_1 \sim GB_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。例えば、第 2 駆動データ GB_1 が論理レベル“0”のときには、スイッチング素子 S_1 はオフ状態となる一方、かかる第 2 駆動データ GB_1 が論理レベル“1”のときには、オン状態となってトランジスタ Q_1 から供給された発光駆動電流 i を出力端 X_1 に導出する。又、第 2 駆動データ GB_m が論理レベル“0”のときには、スイッチング素子 S_m はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ Q_m から供給された発光駆動電流 i を出力端 X_m に導出する。このように、第 2 陽極線ドライブ回路 22 のトランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i は、出力端 $X_1 \sim X_m$ の各々を介して、図 5 に示されるように、ELDP10' の陽極線 $A_{m+1} \sim A_{2m}$ の各々に供給される。

【0025】以上の如く、本発明においては、陽極線ドライブ回路内に、発光駆動電流を発生させる為の電流源（トランジスタ $Q_1 \sim Q_m$ ）の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路 CC と、かかる発光駆動電流自体を制御電流として出力する制御電流出力回路 CO とを設ける構成としている。ここで、ディスプレイパネルの陽極線を、夫々個別の IC チップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第 1 の陽極線ドライブ回路は、第 2 の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、例えば各 IC チップ（陽極線ドライブ回路としての）間に特性のバラツキがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0026】尚、上記実施例においては、ELDP10' の陽極線 $A_1 \sim A_{2m}$ を、2 つの陽極線ドライブ回路（第 1 陽極線ドライブ回路 21 及び第 2 陽極線ドライブ回路 22）で駆動するようにしているが、3 つ以上の複数の陽極線ドライブ回路で駆動することも可能である。図 8 は、かかる点に鑑みて為された本発明による EL ディスプレイ装置の他の構成例を示す図である。

【0027】図 8 において、EL ディスプレイパネルとしての ELDP10' には、第 1 表示ライン～第 n 表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら

陰極線 $B_1 \sim B_n$ 各々に交叉して配列された $3m$ 個の陽極線（透明電極） $A_1 \sim A_{3m}$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_{3m}$ 各々の交叉部に、図 1 に示されるが如き構造を有する EL 素子 $E_{1,1} \sim E_{n,3m}$ が形成されている。尚、これら EL 素子 $E_{1,1} \sim E_{n,3m}$ 各々は、ELDP10' としての 1 画素を担うものである。

【0028】発光制御回路 1'' は、図 9 に示されるように、上記 ELDP10' の第 1 表示ライン～第 n 表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路 30 に供給する。陰極線走査回路 30 は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記 ELDP10' の陰極線 $B_1 \sim B_n$ の内から択一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位 V_{CC} を夫々印加する。

【0029】又、発光制御回路 1'' は、入力された 1 画面分（ n 行、 $3m$ 列）の画像データを ELDP10' の各画素、すなわち上記 EL 素子 $E_{1,1} \sim E_{n,3m}$ 各々に対応した画素データ $D_{1,1} \sim D_{n,3m}$ に変換し、これを第 1 列～第 m 列に属するものと、第 $m+1$ 列～第 $2m$ 列に属するものと、第 $2m+1$ 列～第 $3m$ 列に属するものとに分割する。この際、上記第 1 列～第 m 列に属する画素データを 1 表示ライン毎にグループ化した画素データ $D_{1,1} \sim D_{1,m}$ 、 $D_{2,1} \sim D_{2,m}$ 、 $D_{3,1} \sim D_{3,m}$ 、 \dots 、及び $D_{n,1} \sim D_{n,m}$ 各々を、図 9 に示されるが如き第 1 駆動データ GA_{1-m} として、順次、陽極線ドライブ回路 201 に供給する。更に、発光制御回路 1'' は、上記第 $m+1$ 列～第 $2m$ 列に属する画素データを 1 表示ライン毎にグループ化した画素データ $D_{1,m+1} \sim D_{1,2m}$ 、 $D_{2,m+1} \sim D_{2,2m}$ 、 $D_{3,m+1} \sim D_{3,2m}$ 、 \dots 、及び $D_{n,m+1} \sim D_{n,2m}$ 各々を、図 9 に示されるが如き第 2 駆動データ GB_{1-m} として、順次、陽極線ドライブ回路 202 に供給する。更に、発光制御回路 1'' は、上記第 $2m+1$ 列～第 $3m$ 列に属する画素データを 1 表示ライン毎にグループ化した画素データ $D_{1,2m+1} \sim D_{1,3m}$ 、 $D_{2,2m+1} \sim D_{2,3m}$ 、 $D_{3,2m+1} \sim D_{3,3m}$ 、 \dots 、及び $D_{n,2m+1} \sim D_{n,3m}$ 各々を、図 9 に示されるが如き第 3 駆動データ GC_{1-m} として、順次、陽極線ドライブ回路 203 に供給する。尚、これら第 1 駆動データ GA_{1-m} 、第 2 駆動データ GB_{1-m} 及び第 3 駆動データ GC_{1-m} の各々は、図 9 に示されるが如く、上記走査線選択制御信号に同期して順次、各陽極線ドライブ回路 201～203 の各々に供給される。この際、上記第 1 駆動データ群 GA_{1-m} とは、ELDP10' の各表示ラインの第 1 列～第 m 列各々に属する m 個の EL 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。又、上記第 2 駆動データ群 GB_{1-m} とは、ELDP10' の各表示ラインの第 $m+1$ 列～第 $2m$ 列各々に属する m 個の EL 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。更に、上記第 3 駆動データ群 G

C_{1-m} とは、 $ELDP10''$ の各表示ラインの第 $2m+1$ 列～第 $3m$ 列各々に属する m 個の EL 素子の各々に対して、発光を実施させるか否かを指定する m 個のデータビットである。例えば、かかるデータビットが論理レベル“1”である場合には発光を実施させる一方、“0”である場合には発光を実施させない。

【0030】基準電流発生回路200は、陽極線ドライブ回路201～203の各々が、 $ELDP10''$ の陽極線 $A_1\sim A_{3m}$ の各々に供給すべき発光駆動電流の基準となる基準電流 I_{REF} を発生し、これを陽極線ドライブ回路201の入力端 I_{in} に供給する。図10は、かかる基準電流発生回路200の内部構成を示す図である。

【0031】図10に示されるように、基準電流発生回路200は、図7に示される第1陽極線ドライブ回路21に含まれる基準電流制御回路 RC と、制御電流出力回路 CO とから構成される。すなわち、これら基準電流制御回路 RC 及び制御電流出力回路 CO からなる電流ミラー回路により、基準電位 V_{REF} と抵抗 R_p とに基づいて決定する基準電流 I_{REF} を発生し、これを陽極線ドライブ回路201の入力端 I_{in} に供給するのである。

【0032】ここで、上記陽極線ドライブ回路201～203の各々は互いに同一の内部構成を有するものであり、その内部構成を図11に示す。図11に示されるように、陽極線ドライブ回路201～203の各々は、駆動電流制御回路 CC 、制御電流出力回路 CO 、スイッチブロック SB 、並びに、 m 個の電流駆動源としてのトランジスタ $Q_1\sim Q_m$ 及び抵抗 $R_1\sim R_m$ から構成される。

【0033】尚、駆動電流制御回路 CC は、図7の第2陽極線ドライブ回路22に搭載されているものと同一であり、上記制御電流出力回路 CO は、図7の第1陽極線ドライブ回路21に搭載されているものと同一である。更に、上記スイッチブロック SB 、トランジスタ $Q_1\sim Q_m$ 及び抵抗 $R_1\sim R_m$ からなる構成も、図7に示されるものと同一である。

【0034】要するに、図11に示されるが如き陽極線ドライブ回路は、その入力端 I_{in} を介して供給された電流に応じた一定の電流を発光駆動電流 i として発生すると共に、この発生した発光駆動電流 i と同一電流量の電流を制御電流 i_c として出力端 I_{out} から出力するのである。従って、陽極線ドライブ回路201は、その入力端 I_{in} を介して供給された上記基準電流 I_{REF} と同一電流量を有する m 個の発光駆動電流 i を発生し、これらを上記第1駆動データ GA_{1-m} に応じて $ELDP10''$ の陽極線 $A_1\sim A_m$ の各々に供給する。更に、陽極線ドライブ回路201は、この発光駆動電流 i と同一電流量を有する制御電流 i_c を発生し、これを制御電流 i_{c1} として出力端 I_{out} を介して陽極線ドライブ回路202の入力端 I_{in} に供給する。陽極線ドライブ回路202は、その入力端 I_{in} から供給された上記制御電流 i_{c1} と同一電流量を有する m 個の発光駆動電流 i を発生し、これらを上記

第2駆動データ GB_{1-m} に応じて $ELDP10''$ の陽極線 $A_{m+1}\sim A_{2m}$ の各々に供給する。更に、陽極線ドライブ回路202は、かかる発光駆動電流 i と同一電流量を有する制御電流 i_c を発生し、これを制御電流 i_{c2} として出力端 I_{out} を介して、陽極線ドライブ回路203の入力端 I_{in} に供給する。陽極線ドライブ回路203は、その入力端 I_{in} から供給された上記制御電流 i_{c2} と同一電流量を有する m 個の発光駆動電流 i を発生し、これらを上記第3駆動データ GC_{1-m} に応じて $ELDP10''$ の陽極線 $A_{2m+1}\sim A_{3m}$ の各々に供給するのである。

【0035】尚、上記実施例においては、発光駆動電流源であるトランジスタ $Q_1\sim Q_m$ として、バイポーラ型のトランジスタを用いて説明したが、MOS (Metal Oxide Semiconductor) トランジスタで実現するようにしても良い。

【0036】

【発明の効果】以上の如く、本発明においては、ディスプレイパネルの陽極線を夫々個別の IC チップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいてその出力すべき発光駆動電流の電流量を制御するようにしている。

【0037】よって、例え各 IC チップ(陽極線ドライブ回路としての)間に特性のバラツキがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになる。

【図面の簡単な説明】

【図1】有機エレクトロルミネセンス素子の断面図である。

【図2】有機エレクトロルミネセンス素子の等価回路を示す図である。

【図3】 EL ディスプレイ装置の概略構成を示す図である。

【図4】発光制御回路1による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図5】本発明による EL ディスプレイ装置の概略構成を示す図である。

【図6】発光制御回路1'による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図7】本発明による駆動回路としての第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の内部構成を示す図である。

【図8】本発明の他の実施例による EL ディスプレイ装置の概略構成を示す図である。

【図9】発光制御回路1''による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図10】基準電流発生回路200の内部構成を示す図である。

13

14

【図 11】 本発明の他の実施例による陽極線ドライブ回路 201～203 各々の内部構成を示す図である。

【符号の説明】

1', 1'' 発光制御回路

10', 10'' ELDP

21 第 1 陽極線ドライブ回路

22 第 2 陽極線ドライブ回路

200 基準電流発生回路

201～203 陽極線ドライブ回路

$A_1 \sim A_m$ 陽極線

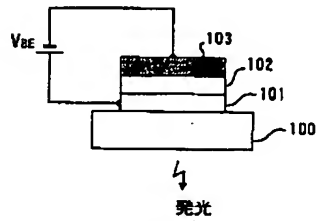
CC 駆動電流制御回路

C0 制御電流出力回路

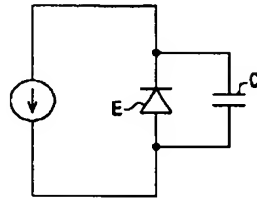
$Q_1 \sim Q_m$ トランジスタ

RC 基準電流制御回路

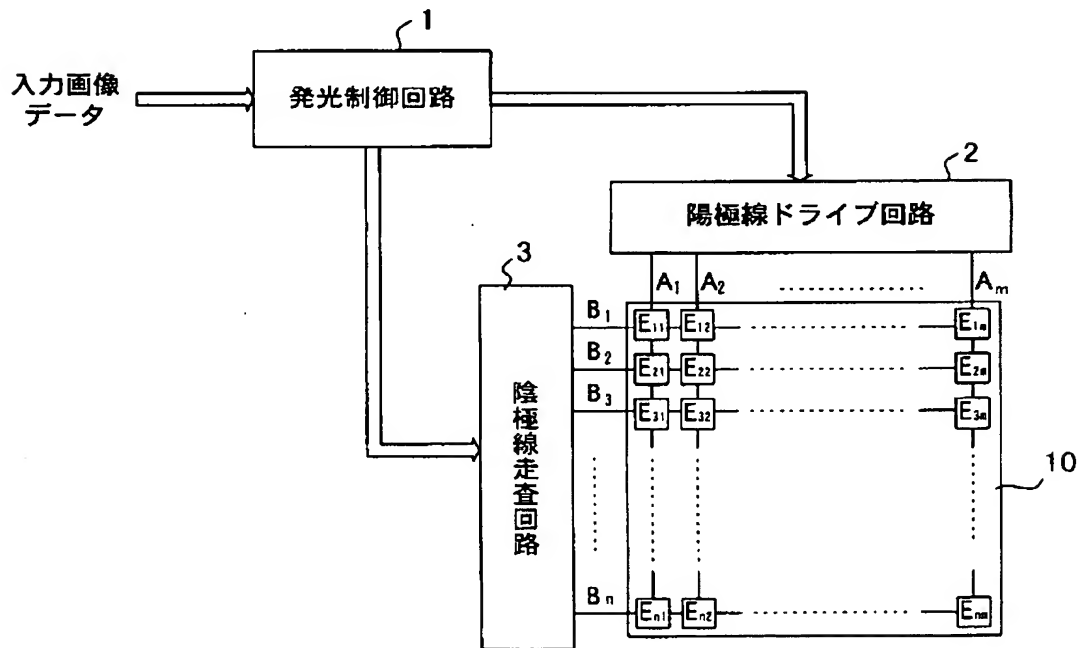
【図 1】



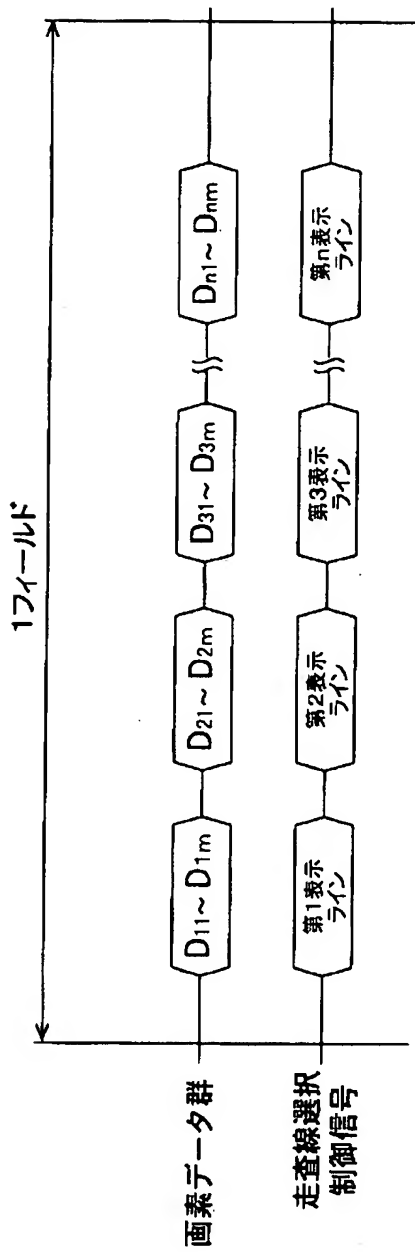
【図 2】



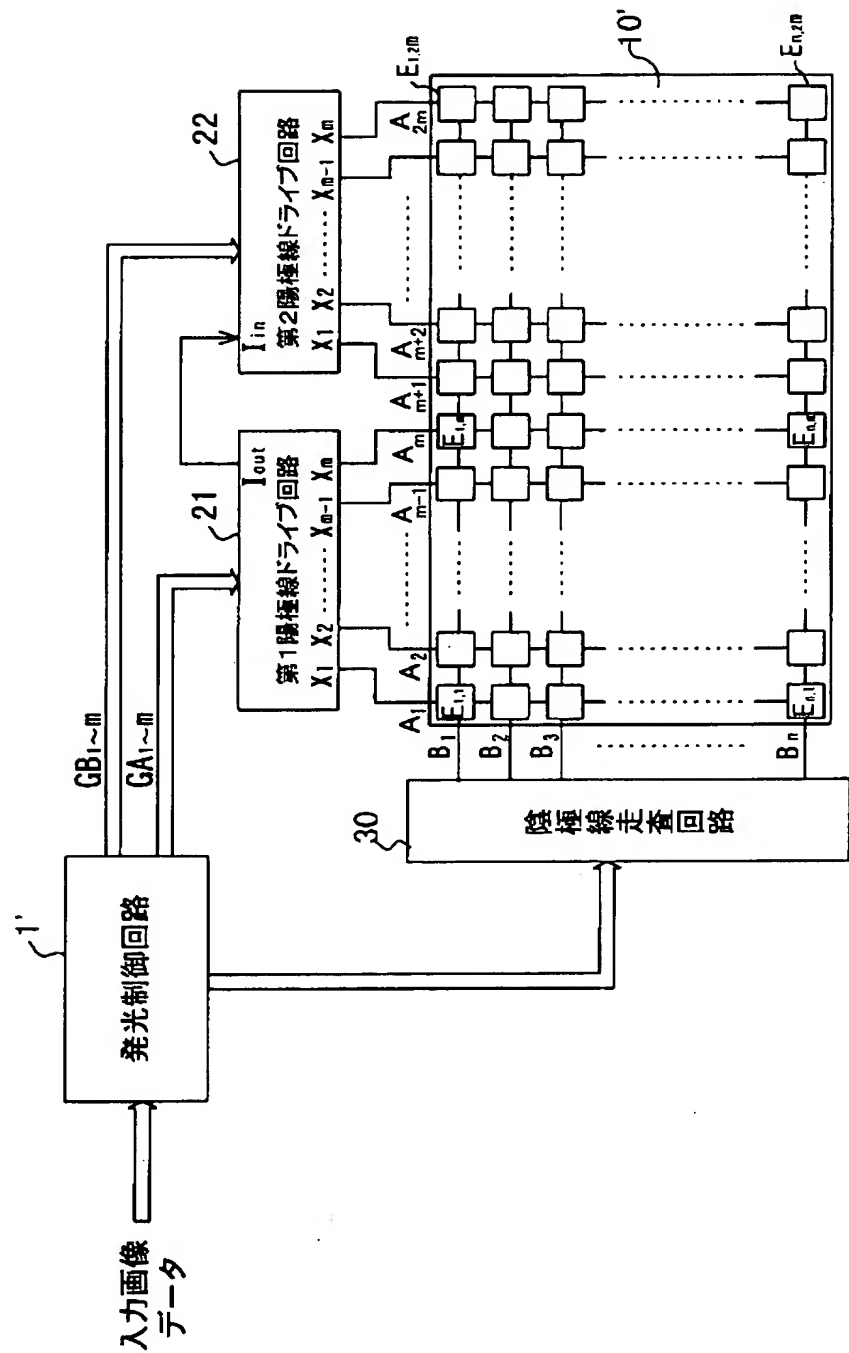
【図 3】



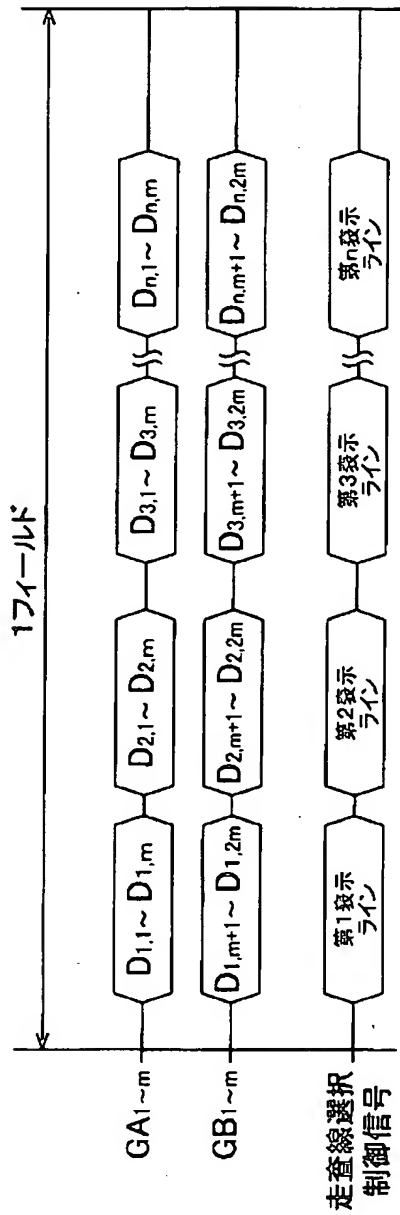
【図4】



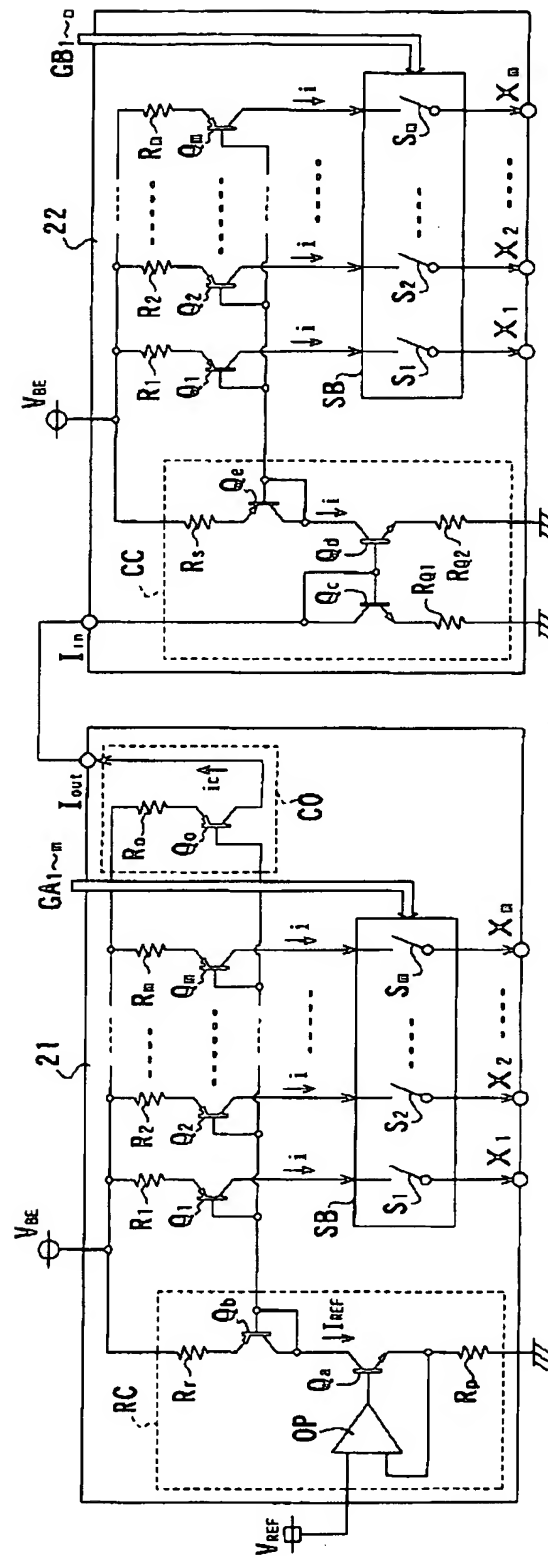
【図5】



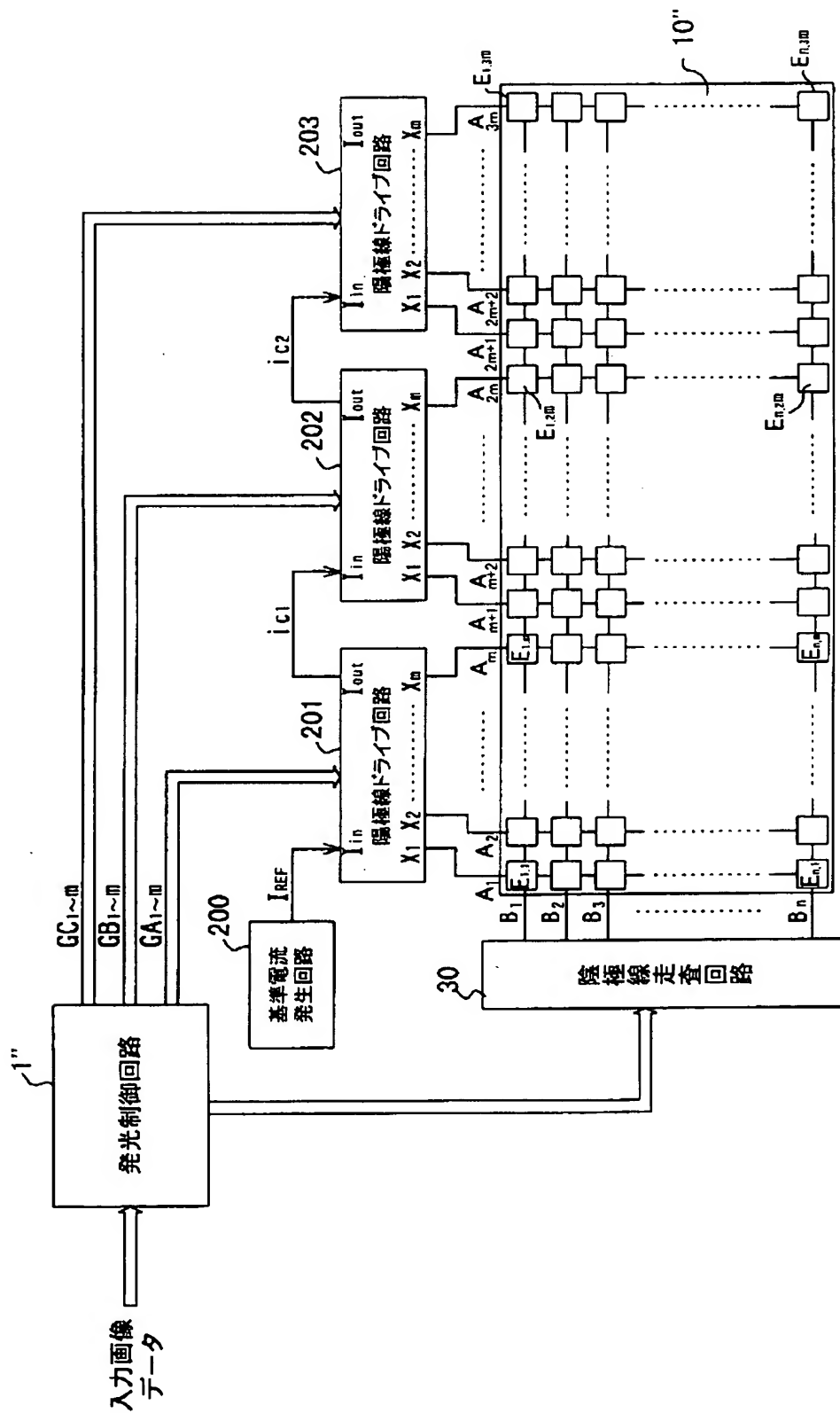
【図6】



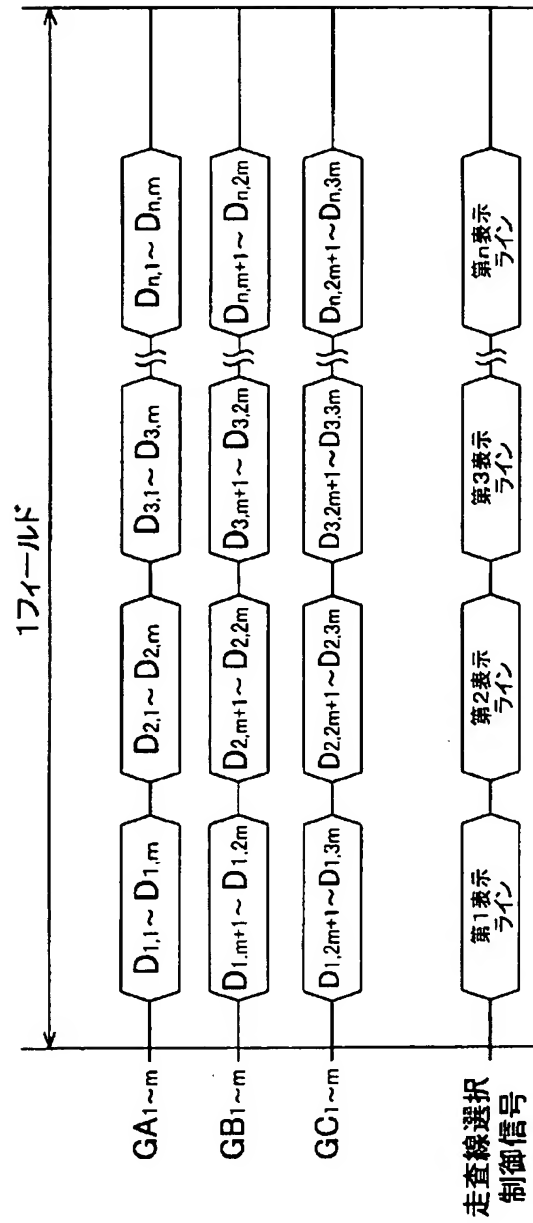
【図7】



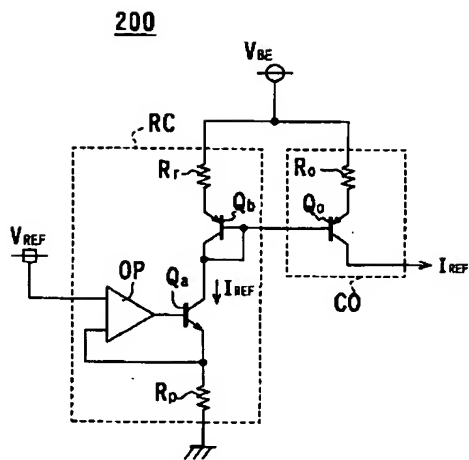
【图 8】



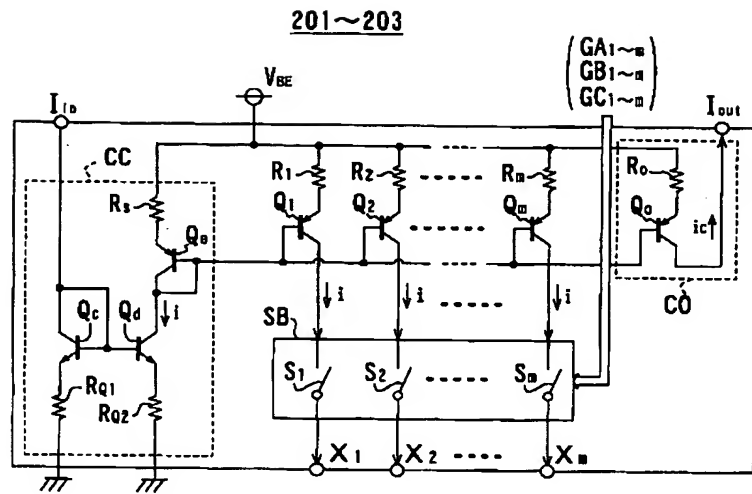
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 坂本 強
埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パ
イオニア株式会社総合研究所内
(72)発明者 越智 英夫
埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パ
イオニア株式会社総合研究所内

F ターム (参考) 5C080 AA06 BB05 CC01 DD03 DD05
DD28 EE28 FF10 FF12 JJ02
JJ03 JJ04 JJ06
5C094 AA03 AA07 AA53 AA55 BA29
CA19 DB01 DB02 EA04 EA05
GA10